

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-173801

(P2000-173801A)

(43) 公開日 平成12年6月23日 (2000.6.23)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード (参考)

H 0 1 C 7/00

H 0 1 C 7/00

A 5 E 0 3 2

17/06

17/06

M 5 E 0 3 3

V

審査請求 未請求 請求項の数13 OL (全 9 頁)

(21) 出願番号

特願平10-349171

(22) 出願日

平成10年12月8日 (1998.12.8)

(71) 出願人 390022471

アオイ電子株式会社

香川県高松市香西南町455番地の1

(71) 出願人 598169022

アルファエレクトロ工業株式会社

岡山県岡山市門田屋敷二丁目2番15号

(72) 発明者 曾根 敏裕

香川県高松市香西南町455番地の1 アオイ電子株式会社内

(74) 代理人 100099173

弁理士 森谷 孝

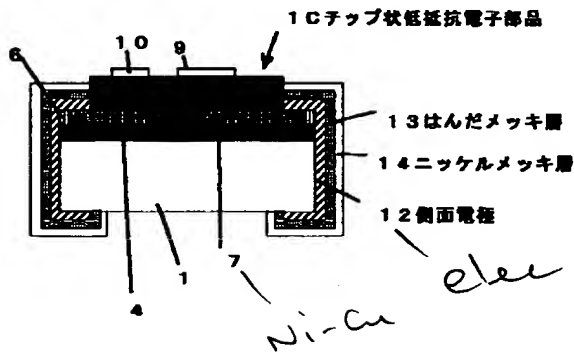
最終頁に続く

(54) 【発明の名称】 低抵抗電子部品及びその製造方法

(57) 【要約】

【課題】 TCRの安定した低抵抗チップ抵抗器、ジャンパー部品等の低抵抗電子部品を効率良く製造できる製造方法をを提供する。

【解決手段】 絶縁基板1上に焼成抵抗体層4を形成する工程と、焼成抵抗体層4の上にニッケル・銅合金メッキ抵抗体層7を形成する工程と、ニッケル・銅合金メッキ抵抗体層7の両端表面の一部を覆い、絶縁基板1の両側面に側面電極12を形成する工程とを備える。二層の抵抗体層の二層目を構成する抵抗体層を焼成抵抗体とすることなく、ニッケル・銅合金メッキ法で形成したニッケル・銅合金メッキ抵抗体層としたから、メッキ膜厚の調整制御によって低抵抗値での抵抗値の制御が容易になる。



## 【特許請求の範囲】

【請求項1】 絶縁基板と、該絶縁基板上に設けられた焼成抵抗体層と該焼成抵抗体層上に設けられたニッケル・銅合金メッキ抵抗体層とから成る低抵抗体層とを備えることを特徴とする低抵抗電子部品。

【請求項2】 前記ニッケル・銅合金メッキ抵抗体層は、前記焼成抵抗体層よりも抵抗値が小さいことを特徴とする請求項1の低抵抗電子部品。

【請求項3】 前記低抵抗体層の両端表面の一部を覆い、前記絶縁基板の両側面に形成された側面電極を備えることを特徴とする請求項1又は2の低抵抗電子部品。

【請求項4】 前記低抵抗体層を覆う絶縁保護層を備えることを特徴とする請求項3の低抵抗電子部品。

【請求項5】 絶縁基板上に焼成抵抗体層を形成する工程と、前記焼成抵抗体層の上にニッケル・銅合金メッキ抵抗体層を形成する工程と、前記ニッケル・銅合金メッキ抵抗体層の両端表面の一部を覆い、前記絶縁基板の両側面に側面電極を形成する工程とを備えることを特徴とする低抵抗電子部品の製造方法。

【請求項6】 絶縁基板と、該絶縁基板上に設けられた導電層と、該導電層上に設けられたニッケル・銅合金メッキ抵抗体層とを備えることを特徴とする低抵抗電子部品。

【請求項7】 前記ニッケル・銅合金メッキ抵抗体層の両端表面の一部を覆い、前記絶縁基板の両側面に形成された側面電極を備えることを特徴とする請求項6の低抵抗電子部品。

【請求項8】 前記ニッケル・銅合金メッキ抵抗体層を覆う絶縁保護層を備えることを特徴とする請求項7の低抵抗電子部品。

【請求項9】 絶縁基板上にニッケル・銅合金メッキ抵抗体層を形成する工程と、前記ニッケル・銅合金メッキ抵抗体層の両端表面の一部を覆い、前記絶縁基板の両側面に側面電極を形成する工程とを備えることを特徴とする低抵抗電子部品の製造方法。

【請求項10】 絶縁基板の一方の表面に複数の基板分割用縦スリット及び複数の基板分割用横スリットを形成する工程と、前記複数の基板分割用縦スリット又は前記複数の基板分割用横スリットに沿って焼成抵抗体層を形成する工程と、前記複数の基板分割用横スリット又は前記複数の基板分割用縦スリット上の焼成抵抗体層上にガラス層を形成する工程と、前記焼成抵抗体層上にニッケル・銅合金メッキ抵抗体層を形成して二層の抵抗体層を形成する工程と、前記二層の抵抗体層にレーザトリミングを施して抵抗値を目標抵抗値に修正する工程と、前記レーザトリミング終了後に前記二層の抵抗体層上に絶縁保護層を形成する工程と、

前記ガラス層が形成された基板分割用スリットに沿って絶縁基板を分割して棒状抵抗基板を得る工程と、

前記二層の抵抗体層の両端表面の一部を覆い、前記分割された棒状抵抗基板の両側面に側面電極を形成する工程と、

前記側面電極が形成された棒状抵抗基板を基板分割用スリットに沿ってチップ状に分割する工程とを備えることを特徴とする低抵抗電子部品の製造方法。

【請求項11】 絶縁基板の一方の表面に複数の導電体層を平行に形成する工程と、

前記複数の導電体層上にニッケル・銅合金メッキ抵抗体層を形成する工程と、前記ニッケル・銅合金メッキ抵抗体層上からレーザトリミングを施して抵抗値を目標抵抗値に修正する工程と、

前記レーザトリミング終了後に前記ニッケル・銅合金メッキ抵抗体層上に絶縁保護層を形成する工程と、

前記絶縁基板を切断して棒状抵抗基板を得る工程と、前記抵抗体層の両端表面の一部を覆い、前記棒状抵抗基板の両側面に側面電極を形成する工程と、

前記側面電極が形成された棒状抵抗基板をチップ状に切断する工程とを備えることを特徴とする低抵抗電子部品の製造方法。

【請求項12】 請求項10の低抵抗電子部品の製造方法で作製された低抵抗電子部品。

【請求項13】 請求項11の低抵抗電子部品の製造方法で作製された低抵抗電子部品。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、低抵抗、低TCR特性を有する低抵抗電子部品及びその製造方法に関する。

## 【0002】

【従来の技術】従来、チップ抵抗器において抵抗体となる導電粒子として酸化ルテニウムを主成分とする厚膜グレース抵抗体材料が用いられていたが、この酸化ルテニウムによる抵抗体材料は抵抗値の温度変化を示す抵抗温度係数(TCR)が大きく、また比抵抗が大きいため、低抵抗、特に1オーム以下の極めて低い抵抗値を有するチップ抵抗器を製造することは困難であった。

## 【0003】

【発明が解決しようとする課題】そこで、酸化ルテニウムに代えて抵抗温度係数の低い銅・ニッケル合金を抵抗体材料として用いたチップ抵抗器及びその製造方法が提案されている(特開平3-270104号公報、特開平10-144501号公報)。前記提案されたチップ抵抗器は、その製造方法においていずれも抵抗材料であるニッケル/銅合金粉とガラスフリットを有機ビヒクルで混練した抵抗ペーストをセラミック基板に印刷・焼成して抵抗体を形成している。

【0004】しかし、前記提案されたチップ抵抗器の製

造方法は、抵抗ペーストをセラミック基板に印刷して製造するため、印刷厚みの調整による抵抗値の初期値の設定が困難で低抵抗の製造に必ずしも得策な方法ではない。また、ニッケル・銅合金ペーストにはガラス成分を含んでいるため、安定したTCRを有する低抵抗チップ抵抗器を得ることが困難である。本発明は、前記問題点に鑑み、前記TCRの安定した低抵抗チップ抵抗器、ジャンパー部品等の低抵抗電子部品、及び該電子部品を効率良く製造できる製造方法を提案するものである。

#### 【0005】

【課題を解決するための手段】本発明低抵抗電子部品は、絶縁基板上に設けられた焼成抵抗体層と該焼成抵抗体層上に設けられたニッケル・銅合金メッキ抵抗体層とから成る低抵抗層を備える。また、他の実施の形態として、絶縁基板上に設けられた導電層と、該導電層上に設けられたニッケル・銅合金メッキ抵抗体層とを備える。ニッケル・銅合金メッキ抵抗体層はニッケル、銅以外の成分を含まないから、TCRが安定する。

#### 【0006】

【発明の実施の形態】以下、本発明の低抵抗電子部品及びその製造方法の実施の形態を説明する。まず、第1の実施の形態を図1乃至図11を参照しながら説明する。

【0007】(工程1) 絶縁基板に分割用スリットを形成

図1に示すように、セラミック製などの角型絶縁基板(以下、基板という)1の表面に横方向分割用スリット2を複数個平行に形成する。さらに前記横方向分割用スリット2と直交するように縦方向分割用スリット3を複数個平行に形成する。

#### 【0008】(工程2) 抵抗体層の形成

図2に示すように、前記横方向分割用スリット2及び縦方向分割用スリット3が形成された基板1の前記縦方向分割用スリット3と平行に、縦方向分割用スリット3及び両スリットの交叉部5上を除いて焼成抵抗体層4を形成する。この焼成抵抗体層4は、酸化ルテニウム系抵抗ペーストの印刷、乾燥・焼成(800~900℃)にて形成する。この焼成抵抗体層4は、後述するように、該抵抗体層4上にメッキにより形成されたニッケル・銅合金メッキ抵抗体層7(図4)よりも高い抵抗値の抵抗体層を形成する。また、焼成温度は、抵抗体を焼成できる温度であれば良く、前記温度範囲に拘るものではない。

#### 【0009】(工程3) ガラス層の形成

図3に示すように、前記横方向分割用スリット2上に位置する焼成抵抗体層4の上にガラス層6をそれぞれ印刷、乾燥、焼成にて形成する。ここで前記ガラス層6に代えて電氣的絶縁物であれば良い。このガラス層6は、後述するニッケル・銅合金メッキを行う際のマスクとなり、これによって横方向分割用スリット2上に位置する焼成抵抗体層部分に前記メッキされない。

#### 【0010】(工程4) 焼成抵抗体層への金属メッキ

図4に示すように、前記焼成抵抗体層4上に金属メッキを施して金属メッキ抵抗体層7を形成し、前記焼成抵抗体層4とで二層の抵抗体層を形成する。該金属メッキは、ニッケル・銅合金メッキとする。図4に示すように、前記ガラス層6及び基板1上には金属メッキが施されていない。この金属メッキにより、焼成抵抗体層本来の抵抗値よりも抵抗値が極めて小さくなり、この金属メッキによって0.007~0.5Ωの低抵抗値を実現する。しかもメッキ時間を制御することによりメッキ膜厚の制御を容易にできることから、後述するトリミング前に目標抵抗値近傍まで抵抗値を制御することが可能となる。ここで、金属メッキとしてのニッケル・銅合金メッキを採用したのは、抵抗温度係数(TCR)が低く、固有抵抗値が他の抵抗金属材料(ニッケル・リンなど)と比較して低い(40~50マイクロオームセンチ)からである。したがってメッキ膜厚が薄くて済み、後述するレーザトリミングが容易になる。

#### 【0011】(工程5) 抵抗体層部分のトリミング

図5に示すように、前記金属メッキが施された二層の抵抗体層の各最終製品抵抗層(チップ抵抗体層という)となる部分をそれぞれレーザトリミングにより目標抵抗値に修正する。図5には、レーザトリミング後8を白抜きで図示している。このレーザトリミングは、前記チップ抵抗体層となる縦方向両端に抵抗値測定器を接続して抵抗値を測定しながら、レーザにより前記二層の抵抗体層を部分的に切断して行う。

#### 【0012】(工程6) トリミングされた抵抗体層の保護

図6に示すように、トリミングの終了した各二層の抵抗体層を保護するために、表面電極となる縦方向両端表面7aを除き横方向に樹脂を印刷・乾燥して絶縁保護層9を形成する。この絶縁保護層9は、基板1の横方向に連続して縦方向分割用スリット3をも覆うように形成する。

#### 【0013】(工程7) 絶縁保護層への特性等の表示

図7に示すように、各チップ抵抗体層の位置する絶縁保護膜上にシルク印刷などで特性などを表示するマーク10を施す。

#### 【0014】(工程8) 横方向分割用スリットに沿った基板の分割(一次分割)

図8に示すように、前記横方向分割用スリット2に沿って前記基板1を分割して棒状抵抗基板1aを得る。この横方向分割用スリット2上には、前記ガラス層6のマスクングにより金属メッキが施されていないので、分割によって金属メッキが剥されるのが防止される。

#### 【0015】(工程9) 側面電極の形成

図9の横断面図に示すように、前記工程8で横方向分割スリット2に沿った分割でできた棒状抵抗基板1aの両側面に側面電極12を形成する。この側面電極12は、ニッケル・クロムをスパッタ法で形成する。このスパッ

10

20

30

40

50

タにより横方向分割用スリット2上にあるガラス層6の表面も前記側面電極12の形成と同時にニッケル・クロム膜で覆われる。前記各工程を経て作製された棒状抵抗基板1aを見ると、絶縁基板1上に焼成抵抗体層4、ニッケル・銅合金メッキ抵抗体層7、ガラス層6、絶縁保護層9でもって構成されている。そして、絶縁保護層9の下を除くニッケル・銅合金メッキ抵抗体層7の表面、ガラス層6の表面及び側面、焼成抵抗体層4の側面、絶縁基板1の側面及び下面の端部を囲むように側面電極12が形成されている。

【0016】(工程10)縦方向分割用スリットに沿った棒状抵抗基板の分割(二次分割)

図10に示すように、縦方向分割用スリット3に沿って前記棒状抵抗基板1aを分割13することで複数のチップ状低抵抗素子1bを得る。

【0017】(工程11)側面電極へのメッキ

図11に示すように、前記各チップ状低抵抗素子1bの側面電極12の表面に、はんだメッキ、ニッケルメッキをバレルメッキ法で順次施してはんだメッキ層13及びニッケルメッキ層14を形成する。以上、前記工程を経て図11に示すような低抵抗電子部品1cが完成する。図11の(A)には、完成したチップ状低抵抗電子部品1cの断面図を、図11の(B)には、その斜視図をそれぞれ示している。

【0018】図11に示すように、チップ状低抵抗電子部品1cは、絶縁基板1、該絶縁基板1上に形成された焼成抵抗体層4、該焼成抵抗体層4上に形成されたニッケル・銅合金メッキ抵抗体層7、ガラス層6、絶縁保護層9、側面電極12、絶縁保護層9上に印刷されたマーク10、はんだメッキ層13、ニッケルメッキ層14でもって構成されている。この低抵抗電子部品1cにおいて、焼成抵抗体層4の表面に形成されたニッケル・銅合金メッキ抵抗体層7により焼成抵抗体層4の抵抗値を下げ、前記レーザトリミングによって0.007~1.0Ωの範囲内の低抵抗値に修正される。

【0019】前記第1の実施の形態は、焼成抵抗体層4を備えた低抵抗電子部品及びその製造方法であったが、次に、第2の実施の形態である、前記第1の実施の形態による低抵抗電子部品よりも抵抗値の小さい低抵抗電子部品及びその製造方法を説明する。

【0020】(工程1)絶縁基板の用意

図12に示すように、レーザー又はダイシングソーで切断可能なセラミック基板などの絶縁基板20を用意する。

【0021】(工程2)絶縁基板表面への導電体層の形成

図13に示すように、前記絶縁基板20の表面に、例えば図示のように縦方向に銀又は銀パラジウム系の複数の導電体層21を印刷、乾燥、焼成で一定間隔をおいて平行に形成する。ここで各導電体層21の一端は横方向に

形成された導電体層21aで短絡されている。

【0022】(工程3)導電体層の表面への金属メッキ  
図14に示すように、前記導電体層21の全表面にニッケル・銅合金メッキを施してニッケル・銅合金メッキ抵抗体層22を形成して、前記導電体層21とニッケル・銅合金メッキ抵抗体層22の二層の抵抗体層を形成する。ここで、前記金属メッキとしてのニッケル・銅合金メッキは、抵抗温度係数(TCR)が低く、固有抵抗値が他の金属材料(ニッケル・リンなど)と比較して小さい(40~50マイクロオームセンチ)からである。したがってメッキ膜厚が薄くて済み、後述するレーザトリミングが容易になるからである。この点は前記第1の実施の形態と変わるところはない。

【0023】(工程4)二層の抵抗体層のトリミング  
図15に示すように、二層の抵抗体層23の縦方向における製品長さ寸法を測定しながらレーザトリミングにより目標の抵抗値(0.007~0.5Ω)に修正する。したがって、レーザトリミング跡24(図面上では白抜きに図示している)を含む二層の抵抗体層部分は、それぞれ一個の製品の低抵抗体層を構成することになる。

【0024】(工程5)絶縁保護層の形成

図16に示すように、前記レーザトリミング跡24を含む二層の抵抗体層23を覆うように樹脂などの絶縁体を横方向に印刷して絶縁保護層25を形成する。そして、該絶縁保護層25の形成されていないメッキ層部分は表面電極22aを形成する。

【0025】(工程6)絶縁保護層上への表示

図17に示すように、前記各二層抵抗体層23の位置する絶縁保護層25上にシルク印刷などで特性などを表示するマーク26を施す。

【0026】(工程7)横方向への基板の分割(一次分割)

図18に示すように、絶縁保護層25の両側に位置する表面電極22aとなる抵抗層部分を等分に、レーザ又はダイサーで表面電極22a及び基板20を切断27して分割する。この横分割で棒状抵抗基板20aが得られる。

【0027】(工程8)側面電極の形成

図19の横断面図に示すように、前記工程7で横分割された棒状抵抗基板20aの両側面に側面電極28を形成する。該側面電極28は、ニッケル・クロムをスパッタ法で形成する。これら側面電極28の形成と同時に前記表面電極22aとなる部分もニッケル・クロム膜28aで覆われる。前記各工程を経て製造された棒状抵抗基板20aを図19の断面図で見ると、セラミック基板20上に導電体層21とニッケル・銅合金メッキ抵抗体層22でもって二層抵抗体層が形成されており、絶縁保護膜25下を除くニッケル・銅合金メッキ抵抗体層22の表面、二層抵抗体層の側面、基板20の側面及び基板20の下面の両端部を囲むように側面電極28が形成されて

いる。

【0028】(工程9)棒状抵抗基板20aの分割(二次分割)

図20に示すように、前記棒状抵抗基板20a(図19)をレーザ又はダイサーで縦方向に切断29して分割することでチップ状の低抵抗素子20bが得られる。

【0029】(工程10)側面電極へのメッキ

図21に示すように、チップ状の低抵抗素子20bの側面電極28の表面にはんだメッキ、ニッケルメッキをバレルメッキ法で順次施してはんだメッキ層30、ニッケルメッキ層31を形成する。以上、前記工程を経て図21に示すような完成したチップ状低抵抗電子部品20cが製造される。

【0030】図21に示すように、チップ状低抵抗電子部品20cは、絶縁基板20、該絶縁基板20上に形成された導電体層21、該導電体層21上に形成されたニッケル・銅合金メッキ抵抗体層22、絶縁保護層25、側面電極28、絶縁保護層25上に印刷されたマーク26、はんだメッキ層30、ニッケルメッキ層31をもって構成されている。

【0031】

【発明の効果】以上、本発明の低抵抗電子部品及びその製造方法によれば、二層の抵抗体層の二層目を構成する抵抗体層を焼成抵抗体とすることなく、ニッケル・銅合金メッキ法で形成したニッケル・銅合金メッキ抵抗体としたことから、メッキ膜厚の調整制御によって低抵抗値での抵抗値制御が容易になる。また、本発明製造方法で製造された低抵抗電子部品は、二層目の抵抗体層にニッケル、銅以外の成分、例えばガラス成分などを含まないから、TCRがガラス成分などに左右されず、安定した抵抗値特性を有する。

【図面の簡単な説明】

【図1】本発明第1の実施の形態の工程1の説明図である。

【図2】本発明第1の実施の形態の工程2の説明図である。

【図3】本発明第1の実施の形態の工程3の説明図である。

【図4】本発明第1の実施の形態の工程4の説明図であ

る。

【図5】本発明第1の実施の形態の工程5の説明図である。

【図6】本発明第1の実施の形態の工程6の説明図である。

【図7】本発明第1の実施の形態の工程7の説明図である。

【図8】本発明第1の実施の形態の工程8の説明図である。

【図9】本発明第1の実施の形態の工程9の説明図である。

【図10】本発明第1の実施の形態の工程10の説明図である。

【図11】本発明第1の実施の形態の工程11の説明図である。

【図12】本発明第2の実施の形態の工程1の説明図である。

【図13】本発明第2の実施の形態の工程2の説明図である。

【図14】本発明第2の実施の形態の工程3の説明図である。

【図15】本発明第2の実施の形態の工程4の説明図である。

【図16】本発明第2の実施の形態の工程5の説明図である。

【図17】本発明第2の実施の形態の工程6の説明図である。

【図18】本発明第2の実施の形態の工程7の説明図である。

【図19】本発明第2の実施の形態の工程8の説明図である。

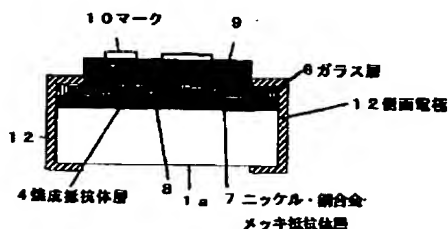
【図20】本発明第2の実施の形態の工程9の説明図である。

【図21】本発明第2の実施の形態の工程10の説明図である。

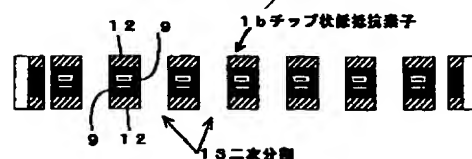
【符号の説明】

1、20・・・絶縁基板 4・・・焼成抵抗体層 6・・・ガラス層 7、22・・・ニッケル・銅合金メッキ抵抗体層 21・・・導電体層

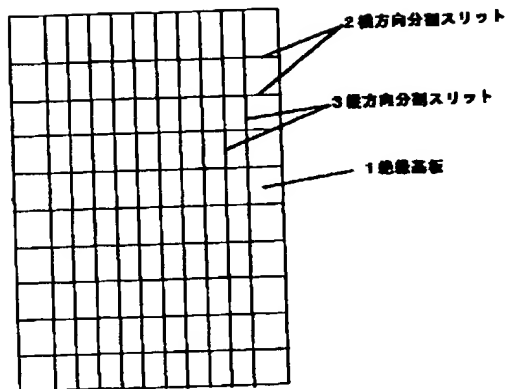
【図9】



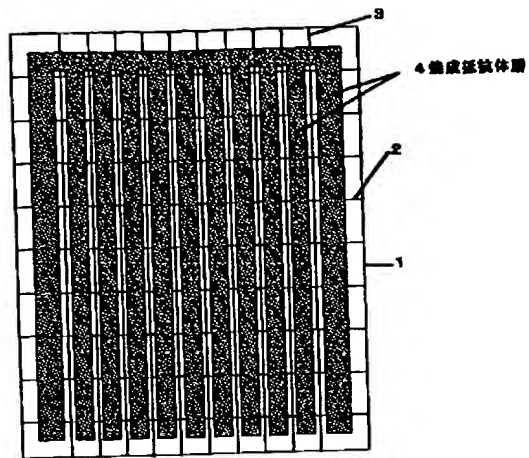
【図10】



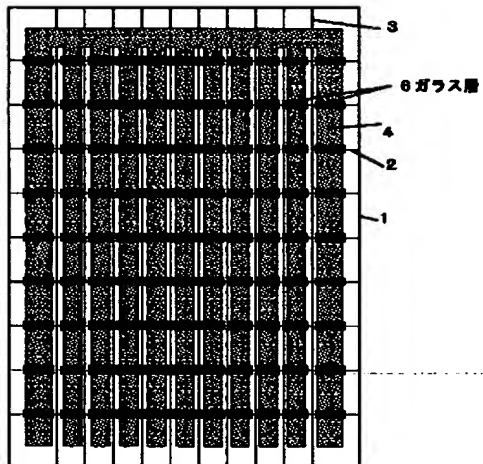
【図1】



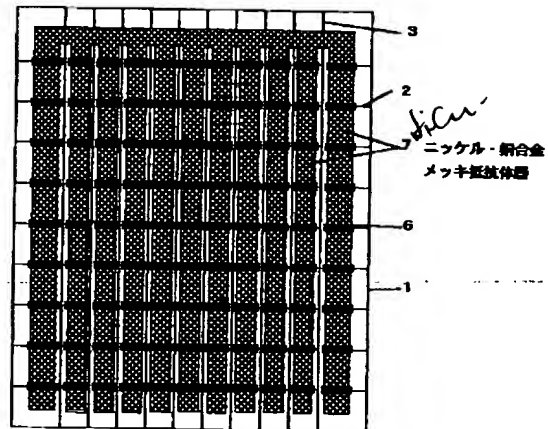
【図2】



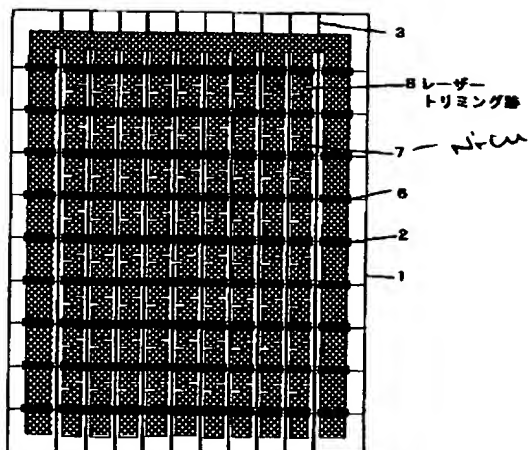
【図3】



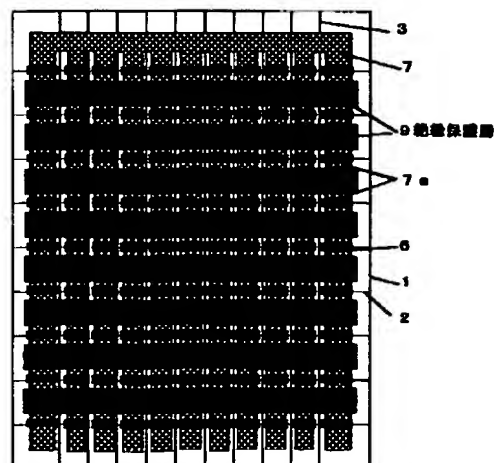
【図4】



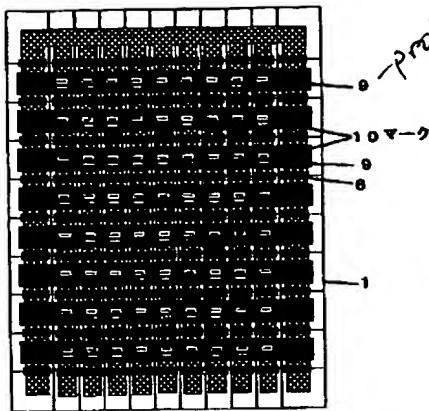
【図5】



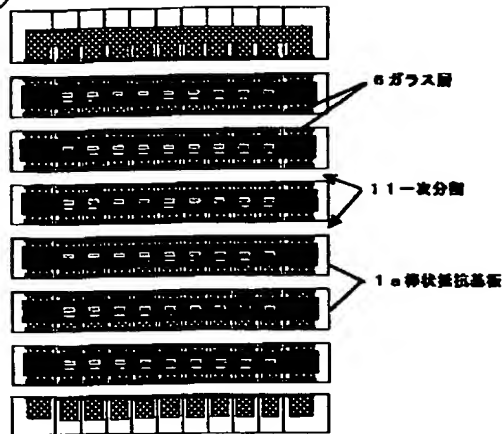
【図6】



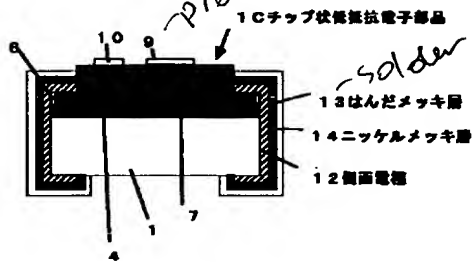
【図7】



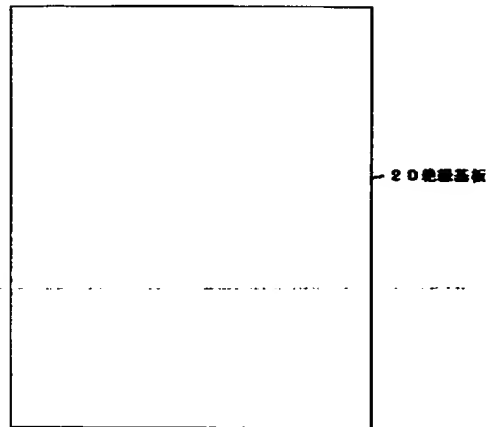
【図8】



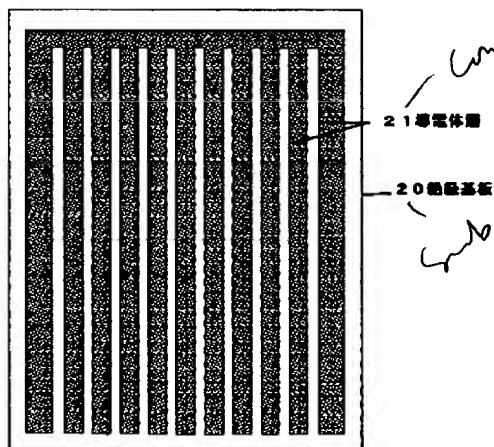
【図11】



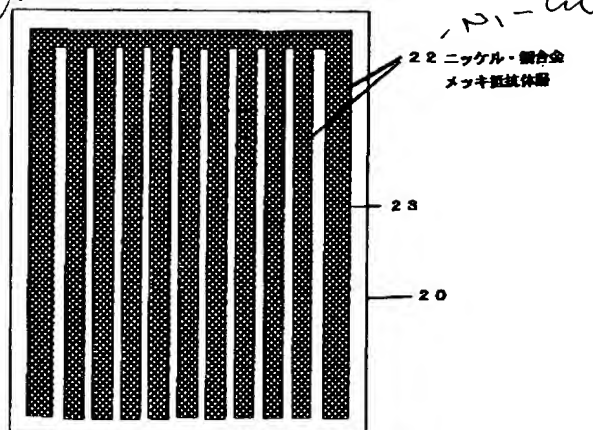
【図12】



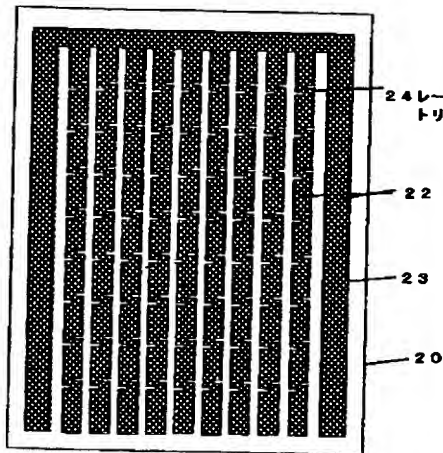
【図13】



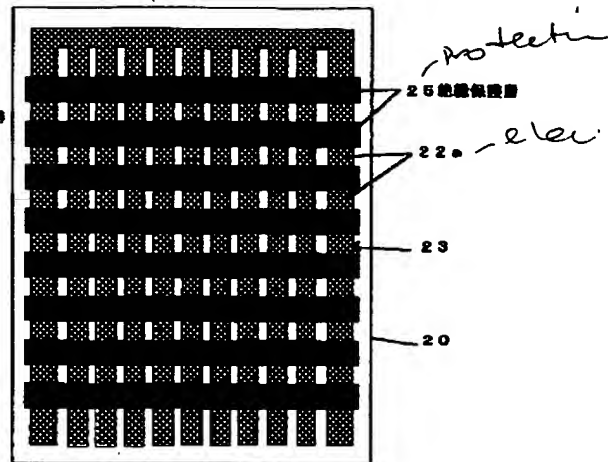
【図14】



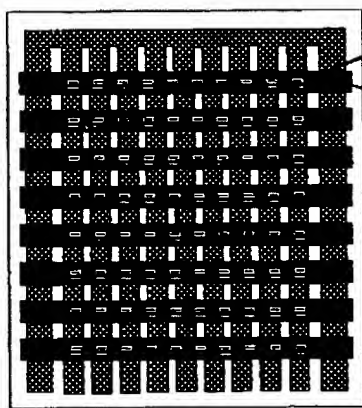
【図15】



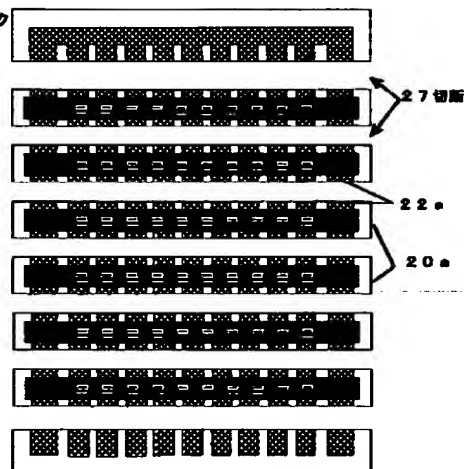
【図16】



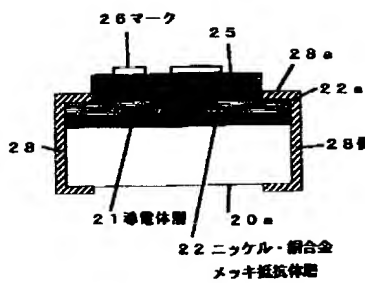
【図17】



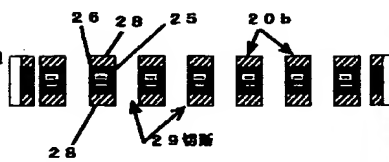
【図18】



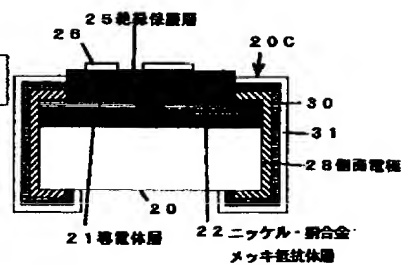
【図19】



【図20】



【図21】



フロントページの続き

(72)発明者 伏見 安弘

岡山県岡山市門田屋敷二丁目2番15号 ア

ルファーエレクトロ工業株式会社内

Fターム(参考) 5E032 BA07 BA13 BB01 CA02 CC03

CC06 CC14 CC16 TA13 TB02

5E033 AA02 AA27 BA03 BD11 BE01

BF05 BG02 BG03 BH02

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed description]

[0001]

[Field of the Invention] this invention relates to the square shape chip resistor used for a high-density wiring circuit, and its manufacture technique.

[0002]

[Prior art] While the demand to small-and-light-izing of electronic equipment increases increasingly in recent years, in order to raise the wiring density of the circuit board, a very small square shape chip resistor has come to use mostly. Moreover, since those package qualities are stabilized, the enhancement in a reliability of the soldering nature to a square shape chip resistor is requested, and in order that use of flux may restrict in connection with the formation of \*\* chlorofluorocarbon further from now on, the request on much more soldering disposition has become strong.

[0003] The structure of a square shape chip resistor conventional thick-film type is explained using drawing 3. The top electrode layer 12 by the thick-film electrode and the rear-face electrode layer 18 of the couple by which the conventional square shape chip resistor was formed on the insulating alumina substrate 11 and this alumina substrate 11, The resistance layer 13 by the ruthenium system thick-film resistance formed so that between the top electrode layers 12 of this couple might be connected, This resistance layer 13 is consisted of a wrap glass layer 15 and an end-face electrode layer 14 which laps with a part of top electrode layer 12 and rear-face electrode layer 18. Then, in order to secure prevention and soldering nature of electrode \*\*\*\*\* at the time of soldering in the electrode side to expose, nickel plating layer 16 and the solder plating layer 17 are formed in it by the electrolysis barrel plating.

[0004] Next, the manufacture technique of the conventional square shape chip resistor, especially the electrode terminal forming method are explained using drawing 4. The electrode terminal forming method of the conventional square shape chip resistor throws in into a barrel the chip resistor and steel dummy which were first divided into the piece of an individual together, in order to galvanize to the denudation electrode side (the top electrode layer 12, the rear-face electrode layer 18, and end-face electrode layer 14) used as the base of plating. After performing degreasing process K for removing fats and oils, dust, etc. and rinsing next, rotating a barrel, acid-treatment process L is performed for a surface activation and oxide-film elimination, and, next, it rinses.

[0005] Then, nickel plater carries out M for 60 minutes by current density 2-10A/dm<sup>2</sup>, and is rinsed after that, a solder plater sets N to current density 1-6A/dm<sup>2</sup>, and is carried out for 40 minutes, it rinses at the end, stain prevention processing is performed, and the electrode terminal is formed.

[0006]

[Object of the Invention] However, in order for the end-face electrode side in the aforementioned denudation electrode of a square shape chip resistor to apply the glaze paste of Ag system, to dry and to calcinate at the low temperature of about 600 degrees C, compared with what is calcinated at the temperature of 800 degrees C or more like a top electrode side or a rear-face electrode side, the surface roughness is in the large and porous layer status very much.

[0007] For this reason, the precision of nickel plating layer and homogeneity which are formed on an end-face electrode side deteriorated, occurrence of a pinhole and the degradation of layer homogeneity happened also to the solder plating layer along with the degradation of this nickel plating layer further, especially, stain occurred on the solder plating front face after high humidity ambient-atmosphere neglect, and the technical problem that a solder wettability was degraded occurred. Moreover, since \*\* attachment of the solder thickness was carried out to about 10 micrometers in order to suppress a degradation of the solder wettability by the pinhole which occurs by these factors, and the solder surface degradation was suppressed, the technical problem that aggravation and the cost of plating productive efficiency rose occurred.

[0008] In order that this invention may solve the above-mentioned technical problem, a cost is cheap and it aims at offering the good square shape chip resistor and its manufacture technique of productive efficiency.

[0009]

[The means for solving a technical problem] In order to attain the above-mentioned purpose, this invention constitutes the aforementioned external electrode from a three-layer ground-electrode layer which consists of Sn or the solder metal layer formed on nickel metal layer formed on Cu metal layer formed the inside electrode layer which consists of Ag or Ag-Pd, and on it, and the aforementioned Cu metal layer, and the aforementioned nickel metal layer in the square shape chip resistor which has an external electrode at the edge of the mainframe of parts. Moreover, Cu which is a ground-electrode layer and nickel and Sn, or the three-layer metal layer of solder was formed by the electrolysis barrel plating, and cheap plating liquid called a copper-sulfate

\*bath was used for Cu plating, and it considered as the technique of galvanizing for a short time so that it may be thin to 1-3 micrometers.

[0010]

[Operation] By performing 1-3 micrometers of Cu plating which is excellent also in plating on the porous large end-face electrode side of a surface roughness at leveling nature according to this invention By carrying out leveling of the irregularity of the front face used as the substratum of nickel plating, and a surface state's improving, and good-izing nickel and solder plating membranous quality along with it The square shape chip resistor with a solder plating thickness able to suppress at least about 5 micrometers of the solder wettability degradations after high humidity ambient-atmosphere neglect is realizable. Moreover, by setting a solder plating thickness to 5 micrometers, solder plating time is set to  $1/2 - 2/3$ , and can raise plating productive efficiency.

[0011]

[Example] Hereafter, one example is explained using a drawing about the square shape chip resistor and its manufacture technique of this invention.

[0012] Drawing 1 is the cross section showing the square shape chip resistor of one example of this invention. In drawing 1, the square shape chip resistor of this example forms the top electrode layer 2 of the couple of a silver system thick film on one principal plane of the substrates 1, such as 96 insulating aluminas, and has formed the rear-face electrode layer 3 of a couple on the principal plane of another side of the aforementioned substrate 1. And the resistance layer 4 of a ruthenium system thick film is formed on one principal plane of a substrate 1 so that it may lap with a part of top electrode layer 2 of the aforementioned couple. Furthermore, on this resistance layer 4, the glass layer 5 whose softening point is completely 560\*\*5 degrees C about the resistance layer 4 at a wrap sake is formed. And form the end-face electrode layer 6 of a silver system thick film in the end-face section of a substrate 1, and it considers as an internal electrode layer so that it may lap with a part of aforementioned top electrode layer 2 and aforementioned rear-face electrode layer 3. In order to consider as the mainframe of a resistor in this internal electrode layer, and the resistance layer 4 and the glass layer 5 and to raise soldering nature in the denudation electrode side of this mainframe of a resistor further, Cu plating layer 7, nickel plating layer 8, and the Sn-Pb plating layer 9 are given with electrolysis plating.

[0013] Next, the manufacture technique of the square shape chip resistor of this example shown in drawing 1 is explained. First, the substrate 1 of 96 aluminas excellent in thermal resistance and insulation is accepted. In order to divide into this substrate 1 the shape of a strip of paper, and in the shape of a piece of an individual, the split slot (at the time of a green sheet metal mold molding) is formed.

[0014] Next, further, a thick-film silver paste is screen-stenciled and dried on the front face of the aforementioned substrate 1, a thick-film silver paste is screen-stenciled and dried, by the belt formula continuous furnace, at the temperature of 850 degrees C, it calcinates at the rear face of the aforementioned substrate 1 by the profile for IN-OUT time 45 minutes, and the top electrode layer 2 and the rear-face electrode layer 3 are simultaneously formed in it for 6 minutes during a peak period.

[0015] Next, the thick-film resistance paste which makes RuO<sub>2</sub> a principal component is screen-stenciled and dried, by the belt formula continuous furnace, it calcinates at the temperature of 850 degrees C by the profile for 6 minutes during peak period, and IN-OUT time 45 minutes, and the resistance layer 4 is formed so that it may lap with a part of top electrode layer 2.

[0016] Next, in order to arrange the resistance of the aforementioned resistance layer 4 between the aforementioned top electrode layers 2, by laser light, a part of aforementioned resistance layer 4 is destroyed, and resistance correction is performed.

[0017] Then, a hoe silicic-acid lead system glass paste is screen-stenciled and dried, by the belt formula continuous furnace, at the temperature of 600 degrees C, it calcinates by the baking profile for IN-OUT time 50 minutes, and the glass layer 5 is formed for 6 minutes during a peak period so that the aforementioned resistance layer 4 may be covered completely.

[0018] Next, as a setup process for forming an end-face electrode, in order to expose an end-face electrode, a substrate 1 is divided in the shape of a strip of paper, and a strip-of-paper-like substrate is obtained.

[0019] And a thick-film silver paste is applied to the side face of the aforementioned strip-of-paper-like substrate with a roller so that it may lap with a part of aforementioned top electrode layer 2 and aforementioned rear-face electrode layer 3, by the belt formula continuous furnace, at the temperature of 600 degrees C, it calcinates by the baking profile for IN-OUT time 45 minutes, and the end-face electrode layer 6 is formed for 6 minutes during a peak period.

[0020] Next, as a setup process of electrode plating, a strip-of-paper-like substrate [ finishing / formation of the aforementioned end-face electrode layer 6 ] is divided into the piece of an individual, a piece / of an individual /-like substrate is obtained, and it considers as the mainframe of a resistor.

[0021] And a reservation of prevention of leveling of the surface irregularity of the top electrode layer 2 and the rear-face electrode layer 3 which have been exposed at the end, and the large end-face electrode layer 6 of a surface roughness, and electrode \*\*\*\*\* at the time of soldering, and the reliability of soldering sake, Cu plating layer 7 (it is about 2 micrometers by end-face section measurement), nickel plating layer 8 (it is about 3 micrometers by end-face section measurement), and the solder (Sn-Pb) plating layer 9 (it is about 5 micrometers by end-face section measurement) are formed by the electrolysis barrel plating.

[0022] Next, the manufacture technique of the square shape chip resistor of this example is explained using drawing 2. The manufacture technique of the square shape chip resistor of this example, especially the electrode terminal forming method throw in into a barrel the chip resistor and steel dummy which were first divided into the piece of an individual together, in order to galvanize to the denudation electrode side (the top electrode layer 2, the rear-face electrode layer 3, and end-face electrode layer 6) used as the base of plating. After performing resin process A for removing fats and oils, dust, etc. and rinsing next, rotating a

barrel, acid-treatment process B is performed for a surface activation and oxide-film elimination, and, next, it rinses (plating pretreatment).

[0023] Then, Cu plating by the copper-sulfate plating bath performs C. Cu plating set current density to 2-10A/dm<sup>2</sup>, was carried out for 10 minutes, and obtained 1-3-micrometer Cu plating layer 7. By 1 micrometer or less, having carried out this Cu plating layer 7 in thickness of 1-3 micrometers will be based on the problem of sublation occurring, if it becomes thick too much while the plating processing time will start for a long time, if leveling of the front face of a denudation electrode side cannot fully be performed but is set to 3 micrometers or more. Next, it rinsed, nickel plating carried out D for 45 minutes by current density 2-10A/dm<sup>2</sup>, and was rinsed after that, and the solder plating set E to current density 1-6A/dm<sup>2</sup>, and carried it out for 20 minutes. Finally rinsing and stain prevention processing were performed and the electrode terminal was formed.

[0024] According to the above process, the square shape chip resistor of this example was made as an experiment. In addition, bath composition of Cu plating bath, nickel plating bath, and a solder plating bath and conditions are shown below.

[0025] Cu plating bath composition and copper sulfate 180-270g/l. and a sulfuric acid 30- 75g/l. and chlorine 0.02-0.12g/l. and temperature Ordinary temperature nickel plating bath composition and nickel sulfate 230-350g/l. and nickel chloride 30-100g/l. and a way acid 30- 60g/l. and temperature 40- 60 degrees C Solder plating bath composition - alkanol sulfonic acid The first tin 5- 25g/l. - alkanol sulfonic acid Lead 0.6- 10g/l. - alkanol sulfonic acid 60-200g/l. - semigloss agent 10- 50cc/l. - temperature The shelf test in \*\* of ordinary temperature, next the square shape chip resistor by this example made as an experiment (1000h is left in 60 degrees C and 95% ambient atmosphere) is carried out, and the result which evaluated the solder wettability and stain incidence rate after the shelf test in \*\* is shown in Table 1. Here, the \*\*\*\*\* graph (solder checkered SAT-5000) was used for evaluation of a solder wettability. Moreover, the stain incidence rate counted what what is considered to be a black group punctiform thing and its first stage generated by microscope (100 times) observation.

[0026]

[Table 1]

湿中放置 (60℃、95%、1000h) 後の

はんだ濡れ性と変色発生率

	はんだ濡れ性 (秒)	変色発生率
本発明品 (はんだ膜厚 5 μm)	0.31	0/100ヶ
従来品 (はんだ膜厚 10 μm)	0.56	26/100ヶ

[0027] In the square shape chip resistor which has an external electrode at the edge of the mainframe of a resistor according to this example By constituting the aforementioned external electrode from a three-layer ground-electrode layer which consists of a solder plating metal layer formed on nickel plating metal layer formed on Cu plating metal layer and the aforementioned Cu plating metal layer on the inside electrode layer which consists of Ag or Ag-Pd, and the aforementioned nickel plating metal layer It is realizable to suppress the solder wettability degradation after the shelf test in \*\* (for 1000h to be left in 60 degrees C and 95% ambient atmosphere) and a stain incidence rate for a solder plating thickness also as a conventional half (about 5 micrometers).

[0028]

[Effect of the invention] As mentioned above, according to this invention, by performing 1-3 micrometers of Cu plating which is excellent in leveling nature also in plating on the porous large end-face electrode side of a surface roughness, the status on the front face of a substratum of nickel plating improves, nickel and solder plating membraneous quality are good-ized along with it, and the chip with a solder plating thickness able to suppress at least about 5 micrometers of the solder wettability degradations after high humidity ambient-atmosphere neglect can be realized. Moreover, by setting a solder plating thickness to 5 micrometers, solder plating time is set to 1/2 - 2/3, and can raise plating productive efficiency.

[Translation done.]